

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-173673

(43)Date of publication of application : 20.06.2003

(51)Int.Cl.

G11C 11/22  
H01L 21/8247  
H01L 27/105  
H01L 29/788  
H01L 29/792

(21)Application number : 2001-366527

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 30.11.2001

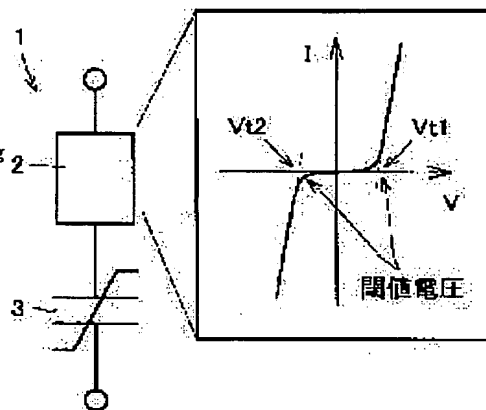
(72)Inventor : MATSUSHITA SHIGEHARU

## (54) FERROELECTRIC MEMORY

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a ferroelectric memory in which disturbance tolerance in a non-selection cell can be improved by increasing a ratio of voltage applied to a ferroelectric capacitor of a selection-cell and a ferroelectric capacitor of a non-selection cell.

**SOLUTION:** This ferroelectric memory is provided with bit lines BL, word lines WL arranged intersecting with the bit lines BL, a switch element 2 arranged between the bit lines BL and the word lines WL and turned on by threshold voltage being almost same absolute values for any positive and negative voltage applying directions, and a memory cell 1 arranged between the bit lines BL and the word lines WL and comprising a ferroelectric capacitor 3 connected in series with the switch element 2.



## LEGAL STATUS

[Date of request for examination]

16.05.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-173673

(P 2 0 0 3 - 1 7 3 6 7 3 A)

(43) 公開日 平成15年 6 月20日 (2003. 6. 20)

| (51) Int. Cl. <sup>7</sup> | 識別記号 | F I        | テームコード (参考) |   |       |
|----------------------------|------|------------|-------------|---|-------|
| G11C 11/22                 | 501  | G11C 11/22 | 501         | A | 5F083 |
| H01L 21/8247               |      | H01L 27/10 | 444         | A | 5F101 |
| 27/105                     |      |            | 444         | Z |       |
| 29/788                     |      | 29/78      | 371         |   |       |
| 29/792                     |      |            |             |   |       |

審査請求 未請求 請求項の数 4 O L (全11頁)

(21) 出願番号 特願2001-366527 (P 2001-366527)

(22) 出願日 平成13年11月30日 (2001. 11. 30)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通 2 丁目 5 番 5 号

(72) 発明者 松下 重治

大阪府守口市京阪本通 2 丁目 5 番 5 号 三

洋電機株式会社内

(74) 代理人 100104433

弁理士 宮園 博一

F ターム (参考) 5F083 FR01 FR07 GA12 JA15 JA17

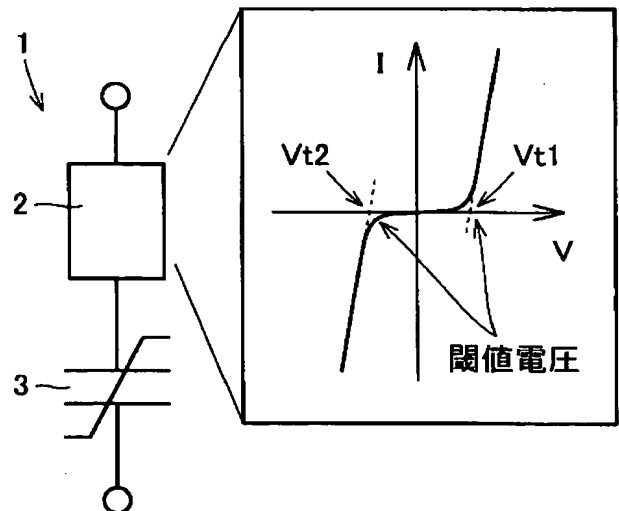
5F101 BA62

(54) 【発明の名称】 強誘電体メモリ

(57) 【要約】

【課題】 選択セルの強誘電体キャパシタと非選択セルの強誘電体キャパシタとに印加される電圧比を大きくすることによって非選択セルにおけるディスタープ耐性を向上することが可能な強誘電体メモリを提供する。

【解決手段】 この強誘電体メモリは、ビット線BLと、ビット線BLと交差するように配置されたワード線WLと、ビット線BLとワード線WLとの間に配置され、正と負のいずれの電圧印加方向に対してもほぼ同じ絶対値のしきい値電圧でターンオンするスイッチ素子2と、ビット線BLとワード線WLとの間に配置され、スイッチ素子2と直列に接続された強誘電体キャパシタ3とを含むメモリセル1を備えている。



## 【特許請求の範囲】

## 【請求項 1】 ビット線と、

前記ビット線と交差するように配置されたワード線と、  
前記ビット線と前記ワード線との間に配置され、正と負のいずれの電圧印加方向に対してもほぼ同じ絶対値のしきい値電圧でターンオンするスイッチ素子と、前記ビット線と前記ワード線との間に配置され、前記スイッチ素子と直列に接続された強誘電体キャパシタとを含むメモリセルを備えた、強誘電体メモリ。

【請求項 2】 電界効果トランジスタのゲート部分に接続された強誘電体キャパシタと、

前記強誘電体キャパシタに直列に接続され、正と負のいずれの電圧印加方向に対してもほぼ同じ絶対値のしきい値電圧でターンオンするスイッチ素子とを含むメモリセルを備えた、強誘電体メモリ。

【請求項 3】 前記強誘電体キャパシタに高い電圧を印加した場合には分極反転を生じるとともに、前記強誘電体キャパシタに低い電圧を印加した場合には実質的に分極反転を生じないような所定のパルス幅を有するパルスを前記メモリセルに印加するためのパルス印加手段をさらに備え、

データの書き込み時および読み出し時の少なくともいずれか一方の時に、選択されたメモリセルには、前記所定のパルス幅を有する高い電圧のパルスを印加するとともに、非選択のメモリセルには、前記所定のパルス幅を有する低い電圧のパルスを印加する、請求項 1 または 2 に記載の強誘電体メモリ。

【請求項 4】 前記スイッチ素子は、ショットキーダイオードを含む、請求項 1～3 のいずれか 1 項に記載の強誘電体メモリ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、強誘電体メモリに関し、特に、強誘電体キャパシタを有する強誘電体メモリに関する。

## 【0002】

【従来の技術】近年、強誘電体メモリは、高速で低消費電力な不揮発性メモリとして注目されている。このため、強誘電体メモリに関する研究開発が精力的に行われている。図 13 は、従来の最も一般的に用いられている強誘電体メモリの代表的な回路図であり、図 14 は、図 13 に対応する断面構造図である。図 13 および図 14 を参照して、この従来の構造では、半導体基板 101 の表面上の所定領域に素子分離領域 102 が形成されている。素子分離領域 102 によって囲まれた素子形成領域には、所定の間隔を隔てて、ソース領域 103 およびドレイン領域 104 が形成されている。ソース領域 103 とドレイン領域 104 との間に位置するチャネル領域上には、ゲート絶縁膜 105 を介して、ワード線 (WL) を構成するゲート電極 106 が形成されている。ドレイ

ン領域 104 には、ビット線 (BL) 113 が電氣的に接続されている。

【0003】また、ソース領域 103 には、プラグ電極 108 を介して、下部電極 109 が形成されている。下部電極 109 上には、強誘電体層 110 を介して、プレート線 (PL) を構成する上部電極 111 が形成されている。この下部電極 109、強誘電体層 110 および上部電極 111 によって強誘電体キャパシタ 112 が構成されている。また、ソース領域 103 およびドレイン領域 104 と、ゲート電極 106 とによって、トランジスタ 107 が構成されている。このトランジスタ 107 は、メモリセルの選択を行うスイッチとして機能する。また、図 13 に示すように、1 つのメモリセル 100 は、1 つのトランジスタ 107 と、1 つの強誘電体キャパシタ 112 とによって構成されている。

【0004】しかしながら、図 13 および図 14 に示した従来の強誘電体メモリの構造では、1 つのメモリセル 100 が、1 つのトランジスタ 107 と 1 つの強誘電体キャパシタ 112 とによって構成されているため、比較的大きなメモリセル面積になるという不都合があった。

【0005】そこで、従来、1 つのメモリセルを 1 つの強誘電体キャパシタのみによって構成する単純マトリックス型の強誘電体キャパシタや、トランジスタのゲート部に強誘電体キャパシタを形成した MFIS-FET (Metal Ferroelectric Insulator Semiconductor-Field Effect Transistor: 金属・強誘電体・絶縁体・半導体-電界効果トランジスタ)、または、MFMI-FET (Metal Ferroelectric Metal Insulator Semiconductor-Field Effect Transistor: 金属・強誘電体・金属・絶縁体・半導体-電界効果トランジスタ) 型の強誘電体メモリが開発されている。

【0006】図 15 は、従来の単純マトリックス型の強誘電体メモリの回路図であり、図 16 は、図 15 に対応した断面図である。図 15 および図 16 を参照して、従来の単純マトリックス型の強誘電体メモリでは、ビット線 (BL) 201 上に、強誘電体層 202 が形成されている。そして、その強誘電体層 202 上に、ビット線 201 と交差する方向に、ワード線 (WL) 203 が形成されている。このビット線 201 と強誘電体層 202 とワード線 203 とによって、強誘電体キャパシタ 210 が構成されている。この単純マトリックス型の強誘電体メモリでは、図 15 に示すように、1 つのメモリセル 200 が、1 つの強誘電体キャパシタ 210 のみによって構成されている。

【0007】図 17 は、従来の単純マトリックス型の強誘電体メモリの  $1/2V_{cc}$  法による書き込み動作時の電圧の印加方法を説明するための回路図であり、図 18

は、従来の単純マトリックス型の強誘電体メモリの1/3Vcc法による書き込み動作時の電圧の印加方法を説明するための回路図である。

【0008】図17を参照して、従来の1/2Vcc法の場合、選択されたメモリセル（選択セル）を駆動するために、選択セルが繋がるビット線BL<sub>i</sub>とワード線WL<sub>j</sub>との間にVccの電圧を加える。すなわち、ビット線BL<sub>i</sub>には、電源電圧Vccを印加するとともに、ワード線WL<sub>j</sub>には、0Vを印加する。そして、非選択のメモリセル（非選択セル）の繋がるビット線BL<sub>k</sub>およびBL<sub>i</sub>には、0Vを印加し、非選択セルが繋がるワード線WL<sub>k</sub>およびWL<sub>j</sub>には、1/2Vccを印加する。これにより、選択セルには、Vccの電圧が印加されるとともに、非選択セルには、1/2Vccが印加される。

【0009】また、図18を参照して、従来の1/3Vcc法の場合、ビット線BL<sub>i</sub>には、電源電圧Vccを印加するとともに、ワード線WL<sub>j</sub>には、0Vを印加する。そして、非選択のメモリセル（非選択セル）の繋がるビット線BL<sub>k</sub>およびBL<sub>i</sub>には、1/3Vccを印加し、非選択セルの繋がるワード線WL<sub>k</sub>およびWL<sub>j</sub>には、2/3Vccを印加する。これにより、選択セルには、Vccの電圧が印加されるとともに、非選択セルには、1/3Vccが印加される。

【0010】上記の場合、選択セルの強誘電体層202（図16参照）に対しては、分極反転が十分飽和し、かつ、非選択セルの強誘電体層に対しては、分極状態がほとんど変化しないことが必要となる。

【0011】

【発明が解決しようとする課題】しかしながら、現状では、強誘電体ヒステリシスの角型形状が十分でないため、図19に示すように、非選択セルに、1/2Vccまたは1/3Vccが同じ方向に印加され続けると、その情報（電荷量）が失われていくという、いわゆるディスターブが発生する。このようなディスターブが生じると、非選択セルに書き込まれた情報が失われてしまうため、強誘電体メモリとして使用することが困難である。このため、現状では、図15および図16に示した単純マトリックス構造の強誘電体メモリの実用化は困難であると考えられている。

【0012】また、図20は、従来のMFMIIS-FETをメモリセルとした1トランジスタ型の強誘電体メモリを示した回路図であり、図21は、図20に対応する断面構造図である。図20および図21を参照して、この1トランジスタ型の強誘電体メモリでは、半導体基板301の表面にウェル領域302が形成されている。そして、このウェル領域302の表面に、所定の間隔を隔てて、ソース領域303およびドレイン領域304が形成されている。ソース領域303およびドレイン領域304間に位置するチャンネル領域上には、ゲート絶縁膜3

05を介して、ゲート電極306が形成されている。

【0013】ゲート電極306上には、強誘電体層307を介して、ワード線（WL）308が形成されている。ドレイン領域304には、ビット線（BL）310が電氣的に接続されている。ソース領域303には、プレート線（PL）311が接続されている。ウェル領域302には、ソース線（SL）312が接続されている。ゲート電極306、強誘電体層307およびワード線308によって、1トランジスタ型の強誘電体キャパシタ315が構成されている。また、ソース領域303およびドレイン領域304と、ゲート絶縁膜305と、ゲート電極306とによって、トランジスタ309が構成されている。この場合、1つのメモリセル300は、1つのトランジスタ309のゲート部上に、強誘電体キャパシタ315が形成された構造を有する。

【0014】また、図20および図21に示した1トランジスタ型の強誘電体メモリにおいて、書き込み時には、図22に示すような等価回路図となる。このため、図17および図18に示した単純マトリックス型の強誘電体メモリと同様の書き込み動作を行った場合、非選択セルに、1/2Vccまたは1/3Vccが同じ方向に印加され続けると、その情報（電荷量）が失われていく、いわゆるディスターブが同様に生じるという問題点があった。

【0015】この発明は、上記のような課題を解決するためになされたものであり、この発明の1つの目的は、非選択のメモリセルにおけるディスターブ耐性を向上することが可能な強誘電体メモリを提供することである。

【0016】この発明のもう1つの目的は、非選択のメモリセルにおけるディスターブ耐性を向上することによって、単純マトリックス型の強誘電体メモリを実用化することである。

【0017】この発明のさらにもう1つの目的は、1トランジスタ型の強誘電体メモリにおいて、非選択のメモリセルにおけるディスターブ耐性を向上することである。

【0018】

【課題を解決するための手段】請求項1による強誘電体メモリは、ビット線と、ビット線と交差するように配置されたワード線と、ビット線とワード線との間に配置され、正と負のいずれの電圧印加方向に対してもほぼ同じ絶対値のしきい値電圧でターンオンするスイッチ素子と、ビット線とワード線との間に配置され、スイッチ素子と直列に接続された強誘電体キャパシタとを含むメモリセルを備えている。

【0019】請求項1では、上記のように、正と負のいずれの電圧印加方向に対してもほぼ同じ絶対値のしきい値電圧でターンオンするスイッチ素子を強誘電体キャパシタに直列に接続することによって、選択セルの強誘電体キャパシタと非選択セルの強誘電体キャパシタとに印

10

20

30

40

50

加される電圧比を大きくすることができるので、単純マトリックス型の強誘電体メモリにおいて非選択セルのディスタープ耐性を向上することができる。

【0020】請求項2における強誘電体メモリは、電界効果トランジスタのゲート部分に接続された強誘電体キャパシタと、強誘電体キャパシタに直列に接続され、正と負のいずれの電圧印加方向に対してもほぼ同じ絶対値のしきい値電圧でターンオンするスイッチ素子とを含むメモリセルを備えている。

【0021】請求項2では、上記のように、電界効果トランジスタのゲート部分に接続された強誘電体キャパシタに直列に接続され、正と負のいずれの電圧印加方向に対してもほぼ同じ絶対値のしきい値電圧でターンオンするスイッチ素子を設けることによって、選択セルの強誘電体キャパシタと非選択セルの強誘電体キャパシタとに印加される電圧比を大きくすることができるので、MFIS-FETまたはMFMI-S-FETなどの1トランジスタ型の強誘電体メモリにおいて、非選択セルのディスタープ耐性を向上することができる。

【0022】請求項3における強誘電体メモリは、請求項1または2の構成において、強誘電体キャパシタに高い電圧を印加した場合には分極反転を生じるとともに、強誘電体キャパシタに低い電圧を印加した場合には実質的に分極反転を生じないような所定のパルス幅を有するパルスを前記メモリセルに印加するためのパルス印加手段をさらに備え、データの書き込み時および読み出し時の少なくともいずれか一方の時に、選択されたメモリセルには、所定のパルス幅を有する高い電圧のパルスを印加するとともに、非選択のメモリセルには、所定のパルス幅を有する低い電圧のパルスを印加する。このように構成すれば、選択されたメモリセルに対しては、書き込みまたは読み出しを行うことができるとともに、非選択のメモリセルに対しては、ほとんど分極反転を生じないようにすることができる。その結果、非選択のメモリセルにおけるディスタープ耐性をより向上することができる。

【0023】請求項4における強誘電体メモリは、請求項1～3のいずれかの構成において、スイッチ素子は、ショットキーダイオードを含む。このように構成すれば、正と負のいずれの電圧印加方向に対してもほぼ同じ絶対値のしきい値電圧でターンオンするスイッチ素子を実現することができる。

【0024】なお、上記の強誘電体メモリにおいて、スイッチ素子は、双方向ダイオードからなるようにしてもよい。このように構成すれば、正と負のいずれの電圧印加方向に対してもほぼ同じ絶対値のしきい値電圧でターンオンするスイッチ素子を実現することができる。

【0025】また、上記の強誘電体メモリにおいて、スイッチ素子は、p型半導体層とn型半導体層との接合により形成されるp-nダイオードからなるようにしても

よい。このように構成すれば、正と負のいずれの電圧印加方向に対してもほぼ同じ絶対値のしきい値電圧でターンオンするスイッチ素子を実現することができる。この場合、p-nダイオードを形成するp型半導体層およびn型半導体層は、アモルファス層により形成されていてもよい。このように構成すれば、微細なp-nダイオードを均一に作製することができる。

【0026】また、上記の強誘電体メモリにおいて、スイッチ素子は、導電層と半導体層との接合により形成されるショットキーダイオードからなるようにしてもよい。このように構成すれば、正と負のいずれの電圧印加方向に対してもほぼ同じ絶対値のしきい値電圧でターンオンするスイッチ素子を実現することができる。この場合、導電層は、金属とシリコンとを含有し、その金属はIr、Pt、Ru、Re、Ni、CoおよびMoからなるグループより選択される少なくとも1つを含むようにしてもよい。また、導電層は、金属と窒素とシリコンとを含有し、その金属は、Ir、Pt、Ru、Re、Ni、CoおよびMoからなるグループより選択される少なくとも1つを含むようにしてもよい。このように構成すれば、熱的に安定なショットキー接合を形成することができる。

【0027】また、上記の強誘電体メモリにおいて、スイッチ素子は、トンネル電流を利用したMIMキャパシタからなるようにしてもよい。このように構成すれば、正と負のいずれの電圧印加方向に対しても、ほぼ同じ絶対値のしきい値電圧でターンオンするスイッチ素子を実現することができる。

【0028】また、上記の強誘電体メモリにおいて、選択されたメモリセルには、所定のパルス幅を有する所定の電圧のパルスを印加するとともに、非選択のメモリセルには、所定のパルス幅を有する所定の電圧の1/3の電圧のパルスを印加するようにしてもよい。このように構成すれば、選択されたメモリセルに印加される電圧と非選択のメモリセルに印加される電圧との電圧差を最も大きくすることができる。その結果、請求項3のディスタープ耐性の向上効果と相まって、非選択のメモリセルにおけるディスタープをより有効に回避することができる。

【0029】なお、以下のような強誘電体メモリの動作方法に向けた発明も考えられる。

【0030】まず、第1の強誘電体メモリの動作方法は、ビット線と、そのビット線と交差するように配置されたワード線と、ビット線とワード線との間に配置され、正と負のいずれの電圧印加方向に対してもほぼ同じ絶対値のしきい値電圧でターンオンするスイッチ素子と、ビット線とワード線との間に配置され、スイッチ素子と直列に接続された強誘電体キャパシタとを含むメモリセルと、強誘電体キャパシタに高い電圧を印加した場合には分極反転を生じるとともに、強誘電体キャパシタ

に低い電圧を印加した場合には実質的に分極反転を生じないような所定のパルス幅を有するパルスをメモリセルに印加するためのパルス印加手段とを備えた強誘電体メモリの動作方法であって、データの書き込みおよび読み出し時の少なくともいずれか一方の時に、選択されたメモリセルには、所定のパルス幅を有する高い電圧のパルスを印加するとともに、非選択のメモリセルには、所定のパルス幅を有する低い電圧のパルスを印加する。このように構成すれば、選択セルと非選択セルとの強誘電体キャパシタに印加される電圧比を大きくするとともに、非選択セルの強誘電体キャパシタに対してはほとんど分極反転を生じないようにすることが可能な強誘電体メモリの動作方法を実現することができる。これにより、非選択セルにおけるディスタブ耐性を向上することができる。

【0031】なお、上記第1の強誘電体メモリの動作方法において、選択されたメモリセルには、所定のパルス幅を有する所定の電圧のパルスを印加するとともに、非選択のメモリセルには、上記所定のパルス幅を有する所定の電圧の1/3の電圧のパルスを印加する。このように構成すれば、選択されたメモリセルに印加される電圧と非選択のメモリセルに印加される電圧との電圧差を最も大きくすることができる。その結果、非選択のメモリセルの強誘電体層のディスタブ耐性を効果的に向上することができる。

【0032】また、第2の強誘電体メモリの動作方法は、電界効果トランジスタのゲート部分に接続された強誘電体キャパシタと、強誘電体キャパシタに直列に接続され、正と負のいずれの電圧印加方向に対してもほぼ同じ絶対値のしきい値電圧でターンオンするスイッチ素子を含むメモリセルと、強誘電体キャパシタに高い電圧を印加した場合には分極反転を生じるとともに、強誘電体キャパシタに低い電圧を印加した場合には実質的に分極反転を生じないような所定のパルス幅を有するパルスをメモリセルに印加するためのパルス印加手段とを備えた強誘電体メモリの動作方法であって、データの書き込み時および読み出し時の少なくともいずれか一方の時に、選択されたメモリセルには、所定のパルス幅を有する高い電圧のパルスを印加するとともに、非選択のメモリセルには、所定のパルス幅を有する低い電圧のパルスを印加する。このように構成すれば、選択セルと非選択セルとのゲート部の強誘電体キャパシタに印加される電圧比を大きくするとともに、非選択セルの強誘電体キャパシタに対してはほとんど分極反転を生じないようにすることが可能な動作方法を実現することができる。これにより、非選択セルにおけるディスタブ耐性を向上することができる。

【0033】

【発明の実施の形態】以下、本発明を具体化した実施形態を図面に基づいて説明する。

【0034】（第1実施形態）図1は、本発明の第1実施形態による単純マトリクス型の強誘電体メモリの全体構成を示した回路図である。図2は、図1に示した第1実施形態による強誘電体メモリのメモリセル構造を説明するための概略図である。図3は、第1実施形態による強誘電体メモリの効果を説明するための図である。図4は、第1実施形態による強誘電体メモリの強誘電体層の分極反転電荷量に関するパルス応答特性を示した図である。

【0035】まず、図1および図2を参照して、第1実施形態の単純マトリクス型の強誘電体メモリの全体構成について説明する。この第1実施形態による強誘電体メモリでは、メモリセルアレイ50は、複数のメモリセル1がマトリクス状に配置されて構成されている（図1では説明の便宜上、9個のメモリセルのみを示している）。各メモリセル1を構成する強誘電体キャパシタ3の一方の端子は、ワード線WL<sub>0</sub>～WL<sub>7</sub>に接続され、強誘電体キャパシタ3の他方の端子は、スイッチ素子2の一方の端子に接続されている。スイッチ素子2の他方の端子は、ビット線BL<sub>0</sub>～BL<sub>7</sub>に接続されている。すなわち、この第1実施形態では、メモリセル1は、スイッチ素子2と強誘電体キャパシタ3とから構成されている。なお、スイッチ素子2の詳細については後述する。

【0036】各ワード線WL<sub>0</sub>～WL<sub>7</sub>は、ロウデコーダ31に接続されている。また、各ビット線BL<sub>0</sub>～BL<sub>7</sub>は、カラムデコーダ32に接続されている。

【0037】外部から指定されたロウアドレスおよびカラムアドレスは、アドレスピン33に入力される。そのロウアドレスおよびカラムアドレスは、アドレスピン33からアドレスラッチ34へ転送される。アドレスラッチ34でラッチされた各アドレスのうち、ロウアドレスは、アドレスバッファ35を介してロウデコーダ31へ転送され、カラムアドレスはアドレスバッファ35を介してカラムデコーダ32へ転送される。

【0038】ロウデコーダ31は、各ワード線WL<sub>0</sub>～WL<sub>7</sub>のうち、アドレスラッチ34でラッチされたロウアドレスに対応したワード線を選択し、各ワード線の電位を動作モードに対応して制御する。

【0039】カラムデコーダ32は、各ビット線BL<sub>0</sub>～BL<sub>7</sub>のうち、アドレスラッチ34でラッチされたカラムアドレスに対応するビット線を選択し、各ビット線の電位を動作モードに対応して制御する。

【0040】ここで、第1実施形態では、ロウデコーダ31およびカラムデコーダ32が、それぞれ、パルス印加回路41および42を含んでいる。このパルス印加回路41および42は、強誘電体キャパシタ3に高い電圧を印加した場合には十分な分極反転を生じるとともに、強誘電体キャパシタ3に低い電圧を印加した場合にはほとんど分極反転を生じないような所定のパルス幅を有するパルスをメモリセル1に印加するためのものである。

なお、このパルス印加回路41および42は、本発明の「パルス印加手段」の一例である。

【0041】外部から指定されたデータは、データピン36に入力される。そのデータは、データピン36から入力バッファ37を介してカラムデコード32へ転送される。カラムデコード32は、各ビット線 $BL_0 \sim BL_1$ の電位を、そのデータに対応した電位に制御する。

【0042】任意のメモリセル1から読み出されたデータは、各ビット線 $BL_0 \sim BL_1$ からカラムデコード32を介してセンスアンプ38へ転送される。センスアンプ38は電圧センスアンプである。センスアンプ38で判別されたデータは、出力バッファ39からデータピン36を介して外部へ出力される。

【0043】なお、上記した各回路(31~39、41、42)の動作は、制御コア回路40によって制御される。

【0044】ここで、この第1実施形態におけるスイッチ素子2は、図2に示すように、正と負のいずれの電圧印加方向に対してもほぼ同じ絶対値のしきい値電圧 $V_{t1}$ および $V_{t2}$ でターンオンするスイッチ素子である。この第1実施形態では、スイッチ素子2は、双方向ダイオードからなる。このダイオードは、正のしきい値電圧 $V_{t1}$ および負のしきい値電圧 $V_{t2}$ でターンオンするとともに、ほぼ $|V_{t1}| = |V_{t2}|$ となるようにする。このメモリセルにおいて、正の電圧を加えた場合、強誘電体キャパシタ3には、印加電圧からスイッチ素子2を構成するダイオードのしきい値電圧分を引いた電圧が加わる。たとえば、ダイオードのしきい値電圧を0.8V、強誘電体キャパシタの飽和電圧を2.0V、 $V_{cc} = 2.8V$ とする。このとき、 $1/2 V_{cc}$ 法を用いると、図3に示すように、選択セルの強誘電体キャパシタ3に印加される電圧は、 $2.8 - 0.8 = 2.0V$ であり、非選択セルの強誘電体キャパシタ3に印加される電圧は、 $2.8/2 - 0.8 = 0.6V$ となる。

【0045】これに対して、従来の強誘電体キャパシタのみで構成されるマトリックス型のメモリセルでは、選択セルの強誘電体キャパシタに2.0Vを印加すれば( $V_{cc} = 2.0V$ )、非選択セルの強誘電体キャパシタには1.0Vが印加されることになる。

【0046】ここで、図4には、強誘電体層としてSBT膜を用いた強誘電体キャパシタにパルスを印加した場合において、印加電圧をパラメータとして、パルス幅と分極反転電荷量との関係が示されている。図4から明らかのように、パルス幅が70ns以下において、印加電圧が高い場合(たとえば1.6V以上)、分極反転量はほぼ飽和し、 $14 \sim 15 \mu C/cm^2$ の電荷量になっている。これに対して、印加電圧が低い場合(たとえば0.6V以下)、ほとんど分極反転が生じないことがわかる。このように、パルス幅が比較的短い場合には、高電圧では強誘電体層における分極反転が生じるのに対し

て、低電圧では分極反転がほとんど生じないことがわかる。したがって、選択セルに高い電圧パルスを印加し、非選択セルに低い電圧パルスを印加することにより、選択セルの強誘電体層で書き込みを行うことができ、かつ、非選択セルの強誘電体層には分子構造上ほとんど変化を起こすことがないようにすることができる。

【0047】図4に示したパルス応答特性を有するSBT膜を用いて強誘電体キャパシタを形成した場合に、選択セルの強誘電体キャパシタにパルス幅が30nsで2.0Vの電圧が印加されるように設定する。この場合、従来のセル構造では、非選択セルの強誘電体キャパシタに1.0Vが印加されるので、 $6.0 \mu C/cm^2$ の分極反転量が生じてディスタースが起る。これに対して、第1実施形態では、非選択セルの強誘電体キャパシタに0.6Vの電圧が印加されるのみであるので、分極反転量も $1.0 \mu C/cm^2$ とほとんど分極反転が生じないことがわかる。このように、第1実施形態のメモリセルでは、従来の強誘電体キャパシタのみで構成されるメモリセルに比べて、非選択セルに印加される電圧が小さくなり、その結果、ディスタース耐性を向上させることができる。

【0048】また、負の方向に電圧を加えた場合においても、双方向ダイオードからなるスイッチ素子2と強誘電体キャパシタ3とは印加電圧に対してほぼ対称であるため、強誘電体キャパシタ3に印加される電圧に関して上記した説明と同様のことが成り立つ。

【0049】上記第1実施形態によるスイッチ素子2を構成する双方向ダイオードは、たとえば、図5および図6に示すようなp-nダイオード21および22や、図7に示すような導電層25と高濃度 $n^+$ 半導体層または高濃度 $p^+$ 半導体層26との接合で形成されるショットキーダイオードを用いて作製することができる。p-nダイオード21および22は、図6に示すように、2つの電極23aおよび23bにより挟まれた構造を有する。また、ショットキーダイオードを構成する半導体層26の一方の表面上には、電極27が形成されている。

【0050】p-nダイオードやショットキーダイオードは、多結晶半導体層やアモルファス半導体層を用いて形成することができる。特に、アモルファス半導体層は、結晶粒界がないため、微細な構造を作製してもダイオード特性の均一化を図ることができる。アモルファス半導体層としては、アモルファスSiなどを用いることができる。

【0051】また、ショットキーダイオードに関しては、半導体素子製造工程において、導電層/半導体界面での相互拡散によりオーミック特性を示さないように、熱的安定性が必要となる。図8および図9は、それぞれ、 $IrSi$ /ポリSiサンプルおよび $IrSiN$ /ポリSiサンプルに対し、800℃の熱処理を施した後の各組成の深さ方向のプロファイルを示したものである。

図8および図9から明らかなように、800℃の高温処理後においても、IrSi/ポリSi界面およびIrSiN/ポリSi界面において、顕著な相互拡散は見られず、導電層であるIrSiまたはIrSiNと、半導体層であるポリSiとの接合が熱的に安定であることがわかる。

【0052】なお、このような熱的に安定な接合は、Ir、Pt、Ru、Re、Ni、CoおよびMoの少なくともいずれか1つと、シリコンとを含有する導電物、または、Ir、Pt、Ru、Re、Ni、CoおよびMoの少なくともいずれか1つと、シリコンと、窒素とを含有する導電物によっても得ることができる。

【0053】（第2実施形態）上記した第1実施形態では、1/2Vcc法を用いる例を示したが、第2実施形態では、1/3Vcc法を用いる例について説明する。図10は、本発明の第2実施形態による強誘電体メモリの効果を説明するための図である。

【0054】第2実施形態におけるメモリセルの構造は、上記した第1実施形態と同様である。すなわち、メモリセル1は、正と負のいずれの電圧印加方向に対してほぼ同じしきい値電圧（絶対値）でターンオンするスイッチ素子2と、スイッチ素子2と直列に接続された強誘電体キャパシタ3とから構成されている。

【0055】第2実施形態では、図10に示すように、スイッチ素子2を構成する双方向ダイオードのしきい値電圧を0.8V、強誘電体キャパシタの飽和電圧を2.2V、Vcc=3.0Vとする。このとき、1/3Vcc法を用いると、図10に示すように、選択セルに印加される電圧は、 $3.0 - 0.8 = 2.2$  Vとなり、非選択セルでは、 $3.0 / 3 - 0.8 = 0.2$  Vとなる。つまり、印加電圧に関して、非選択セル/選択セルは、1/3以下になる。なお、従来のセル構造では、選択セルの強誘電体キャパシタに2.2Vが印加されるとともに、非選択セルの強誘電体キャパシタには、2.2Vの1/3の0.73Vが印加される。

【0056】ここで、分極反転量に関して図4に示した第1実施形態と同様のパルス応答特性を有するSBT膜を用いて強誘電体キャパシタ3を形成した場合、選択セルの強誘電体キャパシタ3に、パルス幅が30nsで2.2Vの電圧が印加されるように設定する。この場合、非選択セルでの分極反転量は、 $0.5 \mu\text{C}/\text{cm}^2$ 以下とほとんど分極反転が生じないことがわかる。したがって、1/3Vcc法では、第1実施形態の1/2Vcc法に比べて、非選択セルに印加される電圧をさらに低くすることができるので、ディスタブ耐性をより向上することができる。

【0057】（第3実施形態）図11は、本発明の第3実施形態による強誘電体メモリの書き込み動作時の全体構成を示した回路図である。図12は、図11に示した第3実施形態による強誘電体メモリの効果を説明するた

めの図である。

【0058】この第3実施形態では、図22に示したMFIS-FETを用いた1トランジスタ型強誘電体メモリの書き込み時の等価回路において、図11に示すように、常誘電体キャパシタ54が直列に接続される強誘電体キャパシタ53にスイッチ素子52を直列に接続した構成を有する。

【0059】この場合、強誘電体キャパシタ53に印加される電圧は、強誘電体キャパシタ53と常誘電体キャパシタ54との容量比に逆比例する。たとえば、（強誘電体キャパシタの容量）：（常誘電体キャパシタの容量）=1：2の場合、印加電圧の2/3が強誘電体キャパシタ53にかかることになる。ここで、ダイオードのしきい値電圧を0.8V、ゲート部の強誘電体の飽和電圧を2.0V、Vcc=3.8Vとする。このとき、1/3Vcc法を用いると、図12に示すように、選択されたメモリセルに印加される電圧は、 $(3.8 - 0.8) \times 2 / 3 = 2.0$  V、非選択のメモリセルに印加される電圧は、 $(3.8 / 3 - 0.8) \times 2 / 3 = 0.3$  1Vとなる。このため、印加電圧に関して、非選択セル/選択セルは1/3以下になる。これに対して、図22に示した従来のメモリセルの場合には、選択されたメモリセルの強誘電体キャパシタに2.0Vが印加されるとともに、非選択の強誘電体キャパシタには2.0Vの1/3の0.67Vが印加される。

【0060】ここで、この第3実施形態においても、図4に示したパルス応答特性を有するSBT膜を用いて強誘電体キャパシタを形成した場合、選択セルの強誘電体キャパシタにパルス幅が30nsで2.0Vの電圧が印加されるように設定する。この場合、非選択セルでの分極反転量は、 $1.0 \mu\text{C}/\text{cm}^2$ 以下とほとんど分極反転が生じないことがわかる。したがって、第3実施形態では、1トランジスタ型の強誘電体メモリの書き込み動作において、効果的にディスタブ耐性を向上することができる。

【0061】なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0062】たとえば、上記実施形態では、正と負のいずれの電圧印加方向に対してもほぼ同じしきい値電圧（絶対値）でターンオンするスイッチ素子として、双方向ダイオードを用いる例を示したが、本発明はこれに限らず、トンネル電流を利用したMIMキャパシタなどからなるスイッチ素子を用いてもよい。

【0063】また、上記実施形態では、強誘電体層として、SBT膜を用いたが、本発明はこれに限らず、SBNT、PZT、PLZT、BLTまたはこれに準ずる強



誘電体層を用いてもよい。つまり、図4に示したように、強誘電体層に高い電圧を印加した場合では、十分な分極反転を生じるとともに、低い電圧を印加した場合ではほとんど分極反転を生じないようなパルス幅が存在する分極反転特性を有する全ての強誘電体層を用いることができる。

【0064】また、上記第3実施形態では、MFMI S-FETを用いた1トランジスタ型強誘電体メモリへの適用例について説明したが、本発明はこれに限らず、MF I S-FETについても同様に適用可能である。

【0065】

【発明の効果】以上のように、本発明によれば、選択セルの強誘電体キャパシタと非選択セルの強誘電体キャパシタとに印加される電圧比を大きくすることができるので、非選択セルにおけるディスタープ耐性を向上することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態による強誘電体メモリの全体構成を示した回路図である。

【図2】図1に示した第1実施形態による強誘電体メモリのメモリセル構造を説明するための概略図である。

【図3】本発明の第1実施形態による強誘電体メモリの効果を説明するための図である。

【図4】本発明の第1実施形態による強誘電体メモリの強誘電体層の分極反転電荷量に関するパルス応答特性を示す図である。

【図5】本発明の第1実施形態による強誘電体メモリのスイッチ素子の一例を示した回路図である。

【図6】図5に示した第1実施形態によるスイッチ素子の回路図に対応する断面図である。

【図7】本発明の第1実施形態による強誘電体メモリのスイッチ素子の他の例を示した断面図である。

【図8】第1実施形態によるスイッチ素子をショットキー接合により構成する場合の熱的安定性を説明するための相関図である。

【図9】第1実施形態によるスイッチ素子をショットキー接合により構成する場合の熱的安定性を説明するための相関図である。

【図10】本発明の第2実施形態による強誘電体メモリ

の効果の説明するための図である。

【図11】本発明の第3実施形態による強誘電体メモリの全体構成を示した回路図である。

【図12】本発明の第3実施形態による強誘電体メモリの効果を説明するための図である。

【図13】従来の最も一般的な強誘電体メモリのメモリセルアレイの回路構成を示した回路図である。

【図14】図13に示した回路図に対応する断面構造図である。

10 【図15】従来の単純マトリックス型の強誘電体メモリのメモリセルアレイの回路構成を示した回路図である。

【図16】図15に示した従来の単純マトリックス型の強誘電体メモリの断面構造図である。

【図17】図15および図16に示した従来の単純マトリックス型の強誘電体メモリの $1/2V_{cc}$ 法による書き込み動作の際の電圧印加状態を説明するための回路図である。

【図18】図15および図16に示した従来の単純マトリックス型の強誘電体メモリの $1/3V_{cc}$ 法による書き込み動作の際の電圧印加状態を説明するための回路図である。

【図19】従来の単純マトリックス型の強誘電体メモリの問題点を説明するための強誘電体ヒステリシス特性を示した図である。

【図20】従来のMFMI S-FETを用いた1トランジスタ型の強誘電体メモリのメモリセルアレイの回路図である。

30 【図21】図20に示した従来のMFMI S-FETを用いた1トランジスタ型の強誘電体メモリの断面構造図である。

【図22】図20および図21に示した従来のMFMI S-FETを用いた1トランジスタ型の強誘電体メモリの書き込み動作時の等価回路図である。

【符号の説明】

1、51 メモリセル

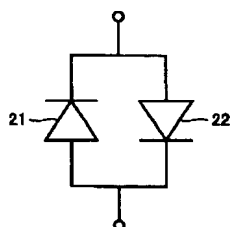
2、52 スイッチ素子

3、53 強誘電体キャパシタ

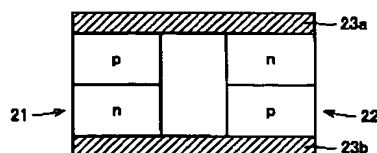
41、42 パルス印加回路（パルス印加手段）

50、60 メモリセルアレイ

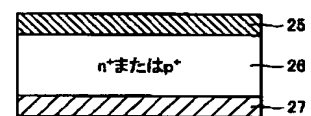
【図5】



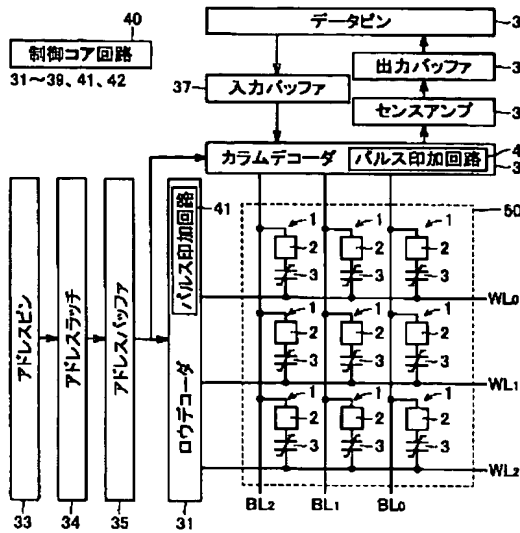
【図6】



【図7】



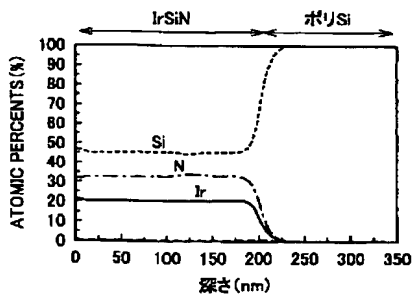
【図1】



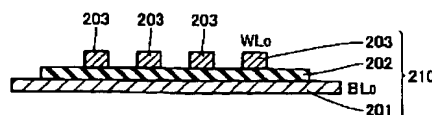
【図3】

|        | 選択セル | 非選択セル | 強誘電体キャパシタに印加される電圧<br>(非選択セル/選択セル) |
|--------|------|-------|-----------------------------------|
| 第1実施形態 |      |       | 0.6V/2.0V                         |
| 従来     |      |       | 1.0V/2.0V                         |

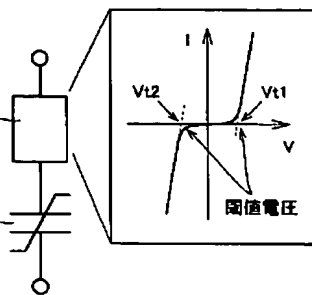
【図9】



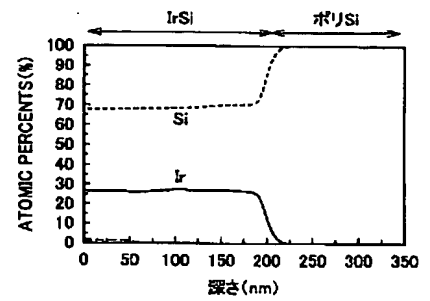
【図16】



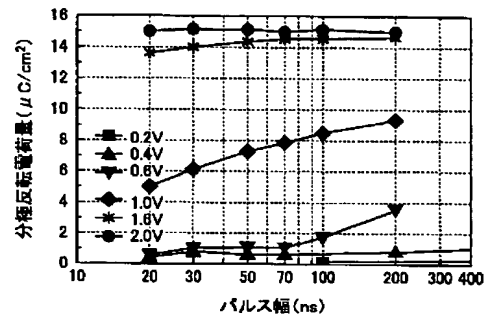
【図2】



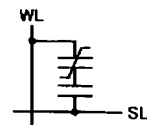
【図8】



【図4】



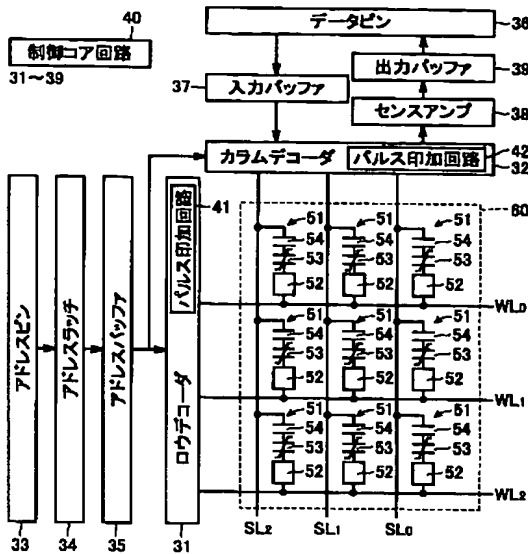
【図22】



【図10】

|        | 選択セル | 非選択セル | 強誘電体キャパシタに印加される電圧<br>(非選択セル/選択セル) |
|--------|------|-------|-----------------------------------|
| 第2実施形態 |      |       | 0.2V/2.2V                         |
| 従来     |      |       | 0.73V/2.2V                        |

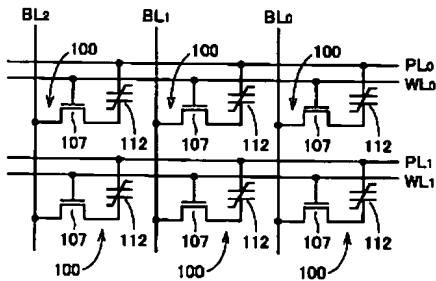
【図 11】



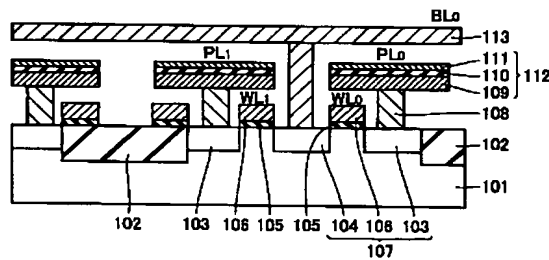
【図 12】

|            | 選択セル | 非選択セル | 強誘電体キャパシタ<br>に印加される電圧<br>(非選択セル/選択セル) |
|------------|------|-------|---------------------------------------|
| 第3実施<br>形態 |      |       | 0.31V/2.0V                            |
| 従来         |      |       | 0.67V/2.0V                            |

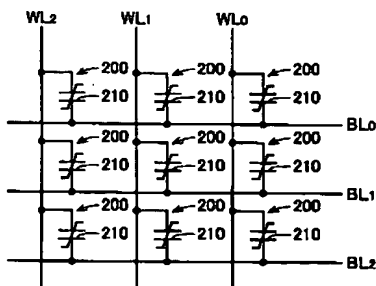
【図 13】



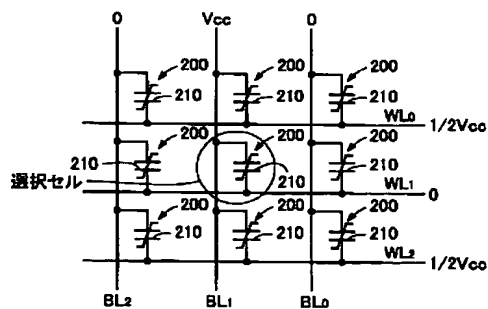
【図 14】



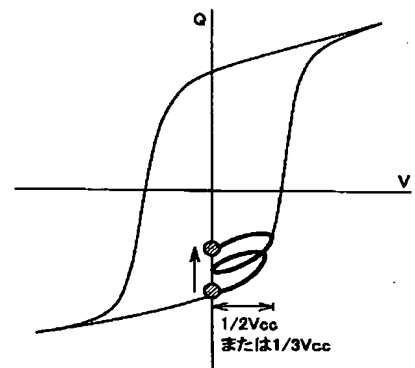
【図 15】



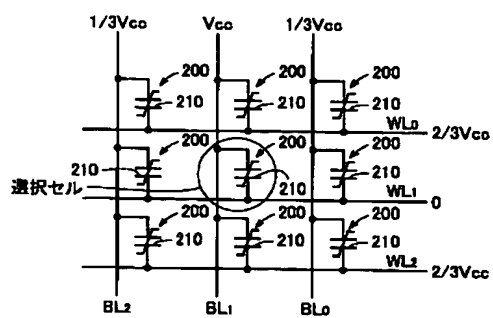
【図 17】



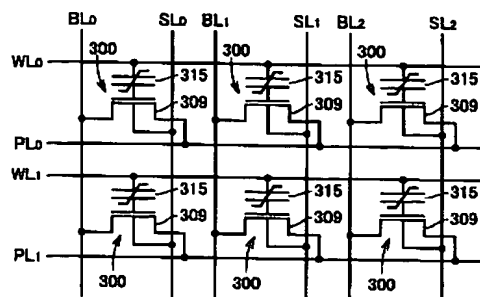
【図 19】



【図 18】



【図 20】



【図 21】

